

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010077525 A

(43)Date of publication of application: 20.08.2001

(21)Application number: 1020000005372

(22)Date of filing: 03.02.2000

(71)Applicant:

MYSON TECHNOLOGY, INC.

(72)Inventor:

CHEN KUEI-SHIANG  
SIEGI ARTHUR  
WENG JEN-CHUNG  
WU TUNG-HAI

(51)Int. Cl

G09G 3/36

(54) IMAGE DITHERING APPARATUS PROCESSED IN TIME DOMAIN AND SPACE DOMAIN

(57) Abstract:

PURPOSE: An image dithering apparatus processed in a time domain and a space domain is provided, which strengthens a gamma table to improve an image resolution using a dithering technology assembling the time domain and the space domain.

CONSTITUTION: The apparatus comprises a gamma table(31) operating gamma processed as an input signal. A counter module(33) calculates a row count value and a column count value by counting a vertical synchronizing signal, a horizontal synchronizing signal and an image pixel clock of an LCD image control system. A dithering value generating module provides a dithering value as to each pixel according to the row count value and the column count value, and includes matrixes having different values respectively. A calculation module(32) calculates the dithering value reducing bits of an output value from the gamma table and an input image value.

&copy; KIPO 2002

Legal Status

Date of final disposal of an application (20020724)

Patent registration number (1003495860000)

Date of registration (20020808)

(19) 대한민국특허청 (KR)  
(12) 공개특허공보 (A)

(51) . Int. Cl. <sup>7</sup>  
G09G 3/36

(11) 공개번호 특2001 - 0077525  
(43) 공개일자 2001년08월20일

(21) 출원번호 10 - 2000 - 0005372  
(22) 출원일자 2000년02월03일

(71) 출원인 마이손 테크놀로지 인코포레이티드  
추후제출  
타이완 신주 싸이어스 - 베이스드 인터스트리얼 파크 인터스트리얼, 로드 3 넘버 2

(72) 발명자 위팅하이  
대만타이청카운티타리시티하오라이스트리트III22번지  
웡젠청  
대만싱쑤밍후로드221레인8번지  
첸쿠에이시앙  
대만싱쑤니우푸로드160레인1번지10층6호  
시에지아더  
대만싱쑤민시앙스트리트159레인44번지4층

(74) 대리인 최덕규

심사청구 : 있음

(54) 시간 도메인 및 공간 도메인에서 프로세싱되는 화상디저링 장치

요약

본 발명은 LCD 디지털 디스플레이의 화상도를 향상시키기 위하여 시간 도메인 및 공간 도메인에서 프로세싱되는 화상디저링 장치(image dithering device)에 관한 것이다. 상기 장치는 입력 신호로 프로세싱되는 감마(Gamma)를 작동시키는 감마 테이블(Gamma Table); 수직 동기 신호(vertical synchronizing signal), 수평 동기 신호(horizontal synchronizing signal) 및 LCD 화상 제어 시스템의 화상 픽셀 클럭(image pixel clock)을 계수하여 횡렬 계수값 및 종렬 계수값을 산출하는 계수 모듈(counter module); 횡렬 계수값 및 종렬 계수값에 따른 각각의 픽셀에 대한 디저링(dithering) 값을 제공하고, 각기 다른 값들을 갖는 매트릭스를 포함하는 디저링 값 산출 모듈(dithering value generating module); 및 LCD 디스플레이의 입력 데이터를 맞추기 위하여, 감마 테이블로부터 출력된 값과 입력 화상 값의 비트를 감소시키는 디저링 값을 계측하는 계측 모듈(calculation module);로 이루어진다. 낮은 비트(bit) 데이터는 시간 도메인 측면에서 발현될 수 있기 때문에, LCD 디지털 디스플레이의 화상의 질과 색상이 향상될 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 일반적인 LCD의 화상 제어 구조를 나타낸 것이다.

도 2는 본 발명에 따른 디저링(dithering) 기술의 구조도를 나타낸 것이다.

도 3은 도 2에서 나타난 계수 모듈(count module)의 한 구획을 도식화한 것이다.

도 4는 도 2에서 나타난 계측 모듈(calculation module)의 한 구획을 도식화한 것이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야

본 발명은 LCD 화상 디저링 기술(image dithering technology)에 관한 것이다. 더욱 구체적으로는 LCD의 화상도를 향상시키기 위하여 시간 도메인 및 공간 도메인에서 프로세싱되는 화상 디저링 기술에 관한 것이다.

발명의 배경

18-비트 LCD 패널에 있어서, 그 해상도가 24-비트 완전 색상 이미지 데이터보다 낮아서 완전 색상을 갖는 이미지를 나타낼 수 없었으므로, 상기 화상도는 특정한 영향을 필요로 한다. 가장 심각한 점은 반들반들한 각양 각색의 화면에 허상의 윤곽들이 나타난다는 것이다. 그러한 문제점들을 처리하기 위한 기술로는 화상 스케일러 scaler 기술, 예를 들어 디저링(dithering) 기술이 있다. 일반적인 디저링 기술에서는 입력 신호를 측량하기 전에 잡음 신호를 입력 신호로 부가하고 측량 후 제거한다. 제거된 잡음 신호들을 포함하는 신호들은 출력 신호가 된다.

그러나, 통상의 디저링 기술은 공간 도메인의 처리에 초점을 맞추고 있다. 즉 디저링은 2차원 화상에서 수행된다. 더욱이, 측량에 있어서 여러 가지 오류들이 범해질 수 있으며, 화상이 고르지 않을 수도 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 화상도를 향상시키기 위하여 시간 및 공간 도메인이 조합된 디저링(dithering) 기술을 이용한 화상 처리 장치 및 그 방법을 제공하기 위한 것이다.

본 발명의 다른 목적은 화상도를 향상시키기 위하여 감마 테이블(Gamma Table)을 강화시키고, 시간 도메인 및 공간 도메인이 조합된 디저링 기술을 이용한 화상 처리 장치 및 그 방법을 제공하기 위한 것이다.

본 발명의 적용 범위는 하기 상세한 설명에 의하여 구체화될 것이다. 그러나 상세한 설명 및 특정 실시예들에 의해 본 발명의 바람직한 구체예가 제시되기는 하지만 상기 상세한 설명 및 구체예들은 단지 예시를 위한 방법을 제공하는 것이고, 본 발명의 목적 및 범위의 다양한 변형 및 변경은 하기 상세한 설명으로부터 당업자에 의하여 용이하게 이루어질 수 있다.

본 발명은 하기 상세한 설명으로부터 더욱 완전하게 이해될 것이고, 이로 인해 본 발명이 제한되는 것은 아니다.

#### 발명의 구성 및 작용

도 1은 일반적인 LCD의 화상 제어 구조를 나타낸 것이다. 도시한 바와 같이, LCD 화상 제어 시스템은 아날로그 화상 신호를 디지털 화상 신호로 변환시키는 아날로그→디지털 컨버터(ADC) 유닛(10); 축소 또는 확대되는 디지털 화상 신호를 삽입하는 화상 스케일러 유닛(image scaler unit) (20); 시간 및 공간 도메인의 디저링 기술을 이용하여 더 큰 비트(예를 들어, 8 bit)를 갖는 입력 데이터를 더 적은 비트(예를 들어, 6 bit)를 갖는 입력 데이터로 변환시키고, 디지털 디스플레이 장치(50)로 그 결과를 출력하는 디저링 유닛(dithering unit) (30); 및 ADC 유닛(10), 화상 스케일러 유닛(20) 및 디저링 유닛(30)의 작동을 제어하는 제어 유닛(control unit) (40);으로 이루어진다.

도 2는 본 발명에 따른 디저링 유닛(30)의 하드웨어 구조를 나타낸 것이다. 상기 디저링 유닛(30)은 10-비트 감마 테이블(Gamma Table) (31), 계측 모듈(caculation module) (32), 계수 모듈(counter module) (33) 및 디저링 값 출력 모듈(dithering value output module) (34)을 포함한다. 디저링 기술에 있어서 핵심이 되는 것은 이차원의 백색 잡음 패턴을 발생시키는 방법에 관한 것이다. 감마 테이블(31)에 의한 변환으로 인하여 원래의 데이터 상에 생기는 오류를 방지하고 화상의 질을 향상시키기 위하여, 디저링 유닛(30)은 전통적인 8-비트 감마 테이블 대신에 10-비트 감마 테이블(31)을 사용한다. 감마 테이블(31)에 의해 변환이 이루어진 후에, 원래의 8-비트 데이터는 10-비트 데이터로 된다.

도 2에서 도시한 바와 같이, 상기 디저링 유닛(30)은 계수 모듈(33)을 이용하여 수직 동기 신호(vertical synchronizing signal) (VS), 수평 동기 신호(horizontal synchronizing signal) (HS) 및 픽셀 클럭 신호(pixel clock signal)에 따른 R<sub>ct</sub> 값을 계수하는 횡렬과 C<sub>ct</sub> 값을 계수하는 종렬을 산출한다. 그 다음 디저링 매트릭스(dithering matrix)는 R<sub>ct</sub> 값을 계수하는 횡렬과 C<sub>ct</sub> 값을 계수하는 종렬에 의하여 디저링 값(DV)을 출력한다. 상기 계측 모듈(32)은 감마 테이블 및 디저링 값(DV)에 의해 변환되는 10-비트 화상(10-bit image) 상에서 계측하고, 디저링 효과를 달성하기 위하여 6-비트 출력 화상을 출력한다.

디저링 매트릭스는 16개의 서로 다른 수의 4-비트 정수 데이터로 저장되는 4×4 매트릭스이며, 상기 데이터는 하기 표 1에서 나타낸 매트릭스 데이터이다. 디저링 매트릭스의 출력은 계수 모듈(33)에 의하여 발생되는 R<sub>ct</sub> 값을 계수하는 횡렬과 C<sub>ct</sub> 값을 계수하는 종렬에 의하여 제어된다. 균일하게 분포되도록, 디저링 매트릭스 요소들은 하기 표 1에서 나타낸 바대로 정렬시킨다. 디저링 매트릭스는 0~15의 값을 갖는다. 상기 배열은 디저링 매트릭스의 2×2 서브-매트릭스내 요소들의 총합을 30이 되게 하며, 단 2 개의 2×2 서브-매트릭스에서는 요소들의 총합이 각각 26 및 34가 된다. 하기 표 1은 디저링 매트릭스의 한 예를 나타낸 것이다.

[표 1]

7	14	5	12
9	0	11	2
4	13	6	15
10	3	8	1

도 3은 계수 모듈(33)의 한 구현을 도시한 것이다. 도시한 바와 같이, 상기 계수 모듈(33)은 프레임 계수기(frame counter)(331), 행렬 계수기(row counter)(332) 및 종렬 계수기(column counter)(333)로 이루어져 있다. 본 발명의 구체예에서 행렬 계수기(332)는 2-비트 계수기이다. 각각의 픽셀 클럭 펄스(Dclk)의 제동기에서 1 씩 부가되고, C<sub>ct</sub> 값을 계수하는 종렬을 출력한다. 더욱이 디저링 효과를 달성하기 위하여, 디저링 유닛(30)은 행렬 계수기(332) 및 종렬 계수기(333)의 디폴트 값을 변화시키기 위하여 4-비트 프레임 계수기(331)를 이용한다. 프레임 계수기(331)는 수직 동기 신호(VS)의 각각의 제동기에서 1 씩 추가된다. 종렬 계수기(333)는 각각의 HSYNC 활성 지역에서 프레임 계수기(331)의 2-비트 이상의 데이터로 시작되며; 동시에 종렬 계수기(333)는 각각의 YSYNC 활성 지역에서는 프레임 계수기(331)의 2-비트 이하의 데이터로 시작된다. 상기와 같은 방식으로, 16개의 화상 프레임은 모두가 한 주파(cycle)를 형성한다. 디저링 값 출력 모듈(34)의 출력은 픽셀(pixel)의 위치 및 프레임에 관련된다. 따라서 이러한 것은 시간 도메인 및 공간 도메인에서 디저링을 동시에 달성하게 한다.

도 4는 계측 모듈(32)의 한 구현을 도시한 것이다. 도시한 바와 같이, 계측 모듈(32)은 컴패러(comparer)(321), 애더(adder)(322) 및 과도흐름 제어기(overflow controller)(323)로 이루어진다. 컴패러(321)는 변환된 화상의 낮은 비트 및 디저링 값의 감산(substraction)을 수행하고, 애더(322)에 운송 값(carrying clock)을 출력한다. 본 발명의 구체예에 의하여, 변환된 화상의 낮은 비트는 4 비트를 포함하며, 상기 비트들은 디저링 값(DV)의 비트와 동일한 것이다. 애더(322)는 변환된 화상의 높은 비트들을 부가하는 데에 이용되고, 컴패러(321)로부터 운송 값을 부가시키고, 그리고 결과 및 과도흐름 제어기(323)에 대한 과도흐름 값을 출력한다. 본 발명의 바람직한 구체예에서, 변환된 화상의 높은 비트들은 6 비트를 포함하고, 그 비트들은 디스플레이 유닛(50)의 입력 신호 비트와 동일한 것이다. 과도흐름 제어기(323)가 애더(322)로부터 나온 결과를 받을 경우, 애더(322)가 운송 값을 산출한다면 과도흐름 제어기(323)는 일반적으로 6 비트에 대한 3F와 같이 출력 데이터의 최대값인 디폴트 과도흐름 값을 출력한다. 애더(322)가 어떠한 운송 값도 발생시키지 않는 경우, 상기 과도흐름 제어기(323)는 애더(322)의 가산 결과(addition result)를 출력한다.

디저링 매트릭스의 출력 값은 16개의 화상 프레임에 대하여 한 사이클(cycle)로 가기 때문에, 화상에 있어서 각각의 픽셀(pixel)은 디저링 매트릭스에 의해 포함되는 출력 값들로 계측될 수 있으며, 상기 16개의 프레임들에 있어서 그 값은 0 내지 15의 범위에서 존재한다. 만약 화상에 고정된 픽셀이 왼쪽 상단 구석에 위치한다면, 표 2에서 나타낸 바와 같이 그 출력 값은 7이 된다. 16개의 프레임 중에 컴패러(32)가 운송 값을 1로 산출하는 프레임은 7개이다. 이와 같이, 16개의 프레임 중 평균 운송 값은 7/16이다. 가장 낮은 4 비트에서의 데이터들을 버린다하더라도, 그리고 지연 발생 및 잔상의 영향에 대한 빈도가 자주 있을지라도, 포기된 비트에 저장된 색상 정보는 보충될 수 있다. 하기 표 2는 디저링 출력 값의 예이다.

[표 2]

프레임	DV	운송 값 (carrying value)
0	7	0
1	14	0
2	5	1
3	12	0
4	9	0
5	0	1
6	11	0
7	2	1
8	4	1
9	13	0
10	6	1
11	15	0
12	10	0
13	3	1
14	8	0
15	1	1
평균 운송 값		7/16

상기에 기재한 바와 같이, 본 발명에 따른 시간 도메인 및 공간 도메인이 조합된 화상 디저링 장치는 시간 도메인에 있어서 버려진 데이터를 재표현하기 위하여 잔상의 성질을 이용한다. 본 발명은 비처리된 화상보다 우수한 LCD의 출력 화상도 및 색상을 제공한다. 더욱이, 그 디자인도 심플하고 유용성이 있다.

상기와 같이 기재된 본 발명은 많은 방법으로 변형될 수 있다. 상기 변형들은 본 발명의 범위 내에 있고, 당업자에 의해 자명한 것이 될 수 있으며, 하기 특허청구범위의 범주 내에 포함되는 것이다. 예를 들어, 본 발명의 명세서 상에서는 통상의 8-비트 감마 테이블을 대체한 10-비트 감마 테이블을 제시하였으며, 디저링을 수행하기 위하여  $4 \times 4$  매트릭스를 이용하였으나, 9-비트 또는 11-비트 감마 테이블 및  $3 \times 3$  또는  $5 \times 5$  디저링 매트릭스도 본 발명에서 디저링을 수행하기 위하여 이용될 수 있다. 8-비트 감마 테이블 및  $2 \times 2$  디저링 매트릭스로 행할 수도 있다.

#### 발명의 효과

본 발명은 화상도를 향상시키기 위하여, 감마 테이블(Gamma Table)을 강화시키고 시간 및 공간 도메인이 조합된 디저링(dithering) 기술을 이용한 화상 가공 장치 및 그 방법을 제공하는 효과를 갖는다.

본 발명의 단순한 변형 내지 변경은 이 분야의 통상의 지식을 가진 자에 의하여 용이하게 실시될 수 있으며, 이러한 변형이나 변경은 모두 본 발명의 영역에 포함되는 것으로 볼 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

입력 신호로 프로세싱되는 감마(Gamma)를 작동시키는 감마 테이블(Gamma Table);

수직 동기 신호(vertical synchronizing signal), 수평 동기 신호(horizontal synchronizing signal) 및 LCD 화상 제어 시스템의 화상 픽셀 클럭(image pixel clock)을 계수하여 횡렬 계수값 및 종렬 계수값을 산출하는 계수 모듈(counter module);

횡렬 계수값 및 종렬 계수값에 따른 각각의 픽셀에 대한 디저링(dithering) 값을 제공하고, 각기 다른 값들을 갖는 매트릭스를 포함하는 디저링 값 산출 모듈(dithering value generating module); 및

LCD 디스플레이의 입력 데이터를 맞추기 위하여, 감마 테이블로부터 출력된 값과 입력 화상 값의 비트를 감소시키는 디저링 값을 계측하는 계측 모듈 (calculation module);

로 이루어지는 것을 특징으로 하는 LCD 화상 제어 시스템용으로 시간 도메인 및 공간 도메인에서 프로세싱되는 화상 디저링 장치.

## 청구항 2.

제1항에 있어서, 상기 계수 모듈은 수직 동기 신호를 계수함으로써 프레임 값을 산출하는 프레임 계수기;

수평 동기 신호를 계수함으로써 횡렬 계수 값을 산출하고, 수직 동기 신호에 의해서 제어되는 경우 미리 조절된 낮은 비트의 프레임 값으로 로딩 (loading) 하는 횡렬 계수기; 및

픽셀 클락을 계수함으로써 종렬 계수값을 산출하고, 수평 동기 신호에 의해서 제어되는 경우 디폴트 값과 같이 높은 비트의 프레임 값으로 로딩하는 종렬 계수기;

로 이루어지는 것을 특징으로 하는 화상 디저링 장치.

## 청구항 3.

제1항에 있어서, 상기 계측 모듈 (calculation module)은 계수 모듈로 입력되는 낮은 비트의 데이터 및 디저링 값의 감산 (subtraction)을 수행하고, 운송 값 (carrying value)을 출력하는 컴패러 (comparer);

계수 모듈로 입력되는 높은 비트의 데이터 및 상기 컴패러로부터 출력되는 운송 값을 부가 (addition)하고, 총합 (sum) 및 과도흐름 값을 출력하는 애더 (adder); 및

애더의 총합 (sum) 및 과도흐름 값을 받아서, 총합 또는 과도흐름 값에 따른 최대 값을 출력하는 과도흐름 제어기;

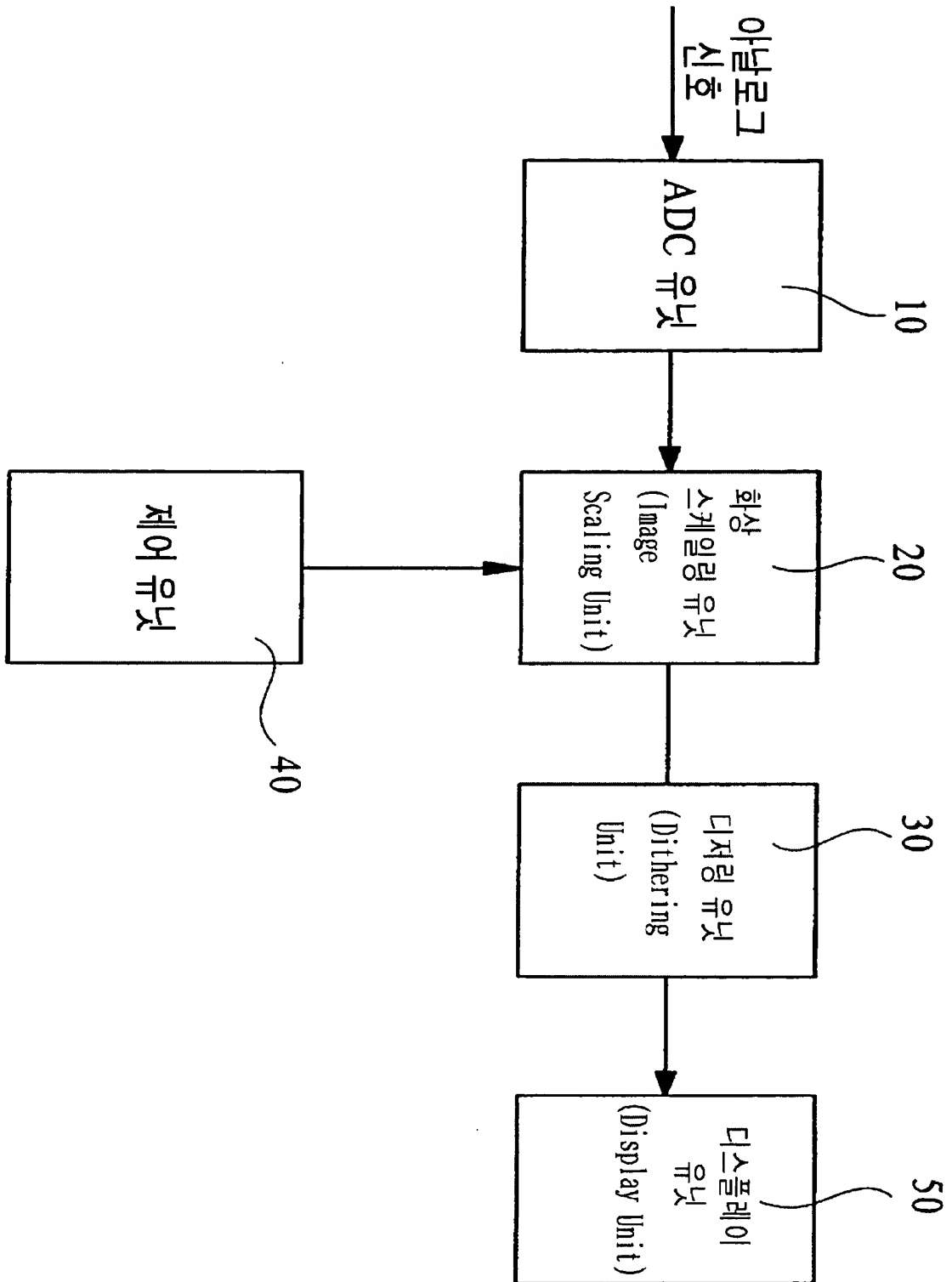
로 이루어지는 것을 특징으로 하는 화상 디저링 장치;

## 청구항 4.

제3항에 있어서, 상기 과도흐름 값이 낮으면, 과도흐름 제어기가 총합 (sum)을 출력하는 것을 특징으로 하는 화상 디저링 장치.

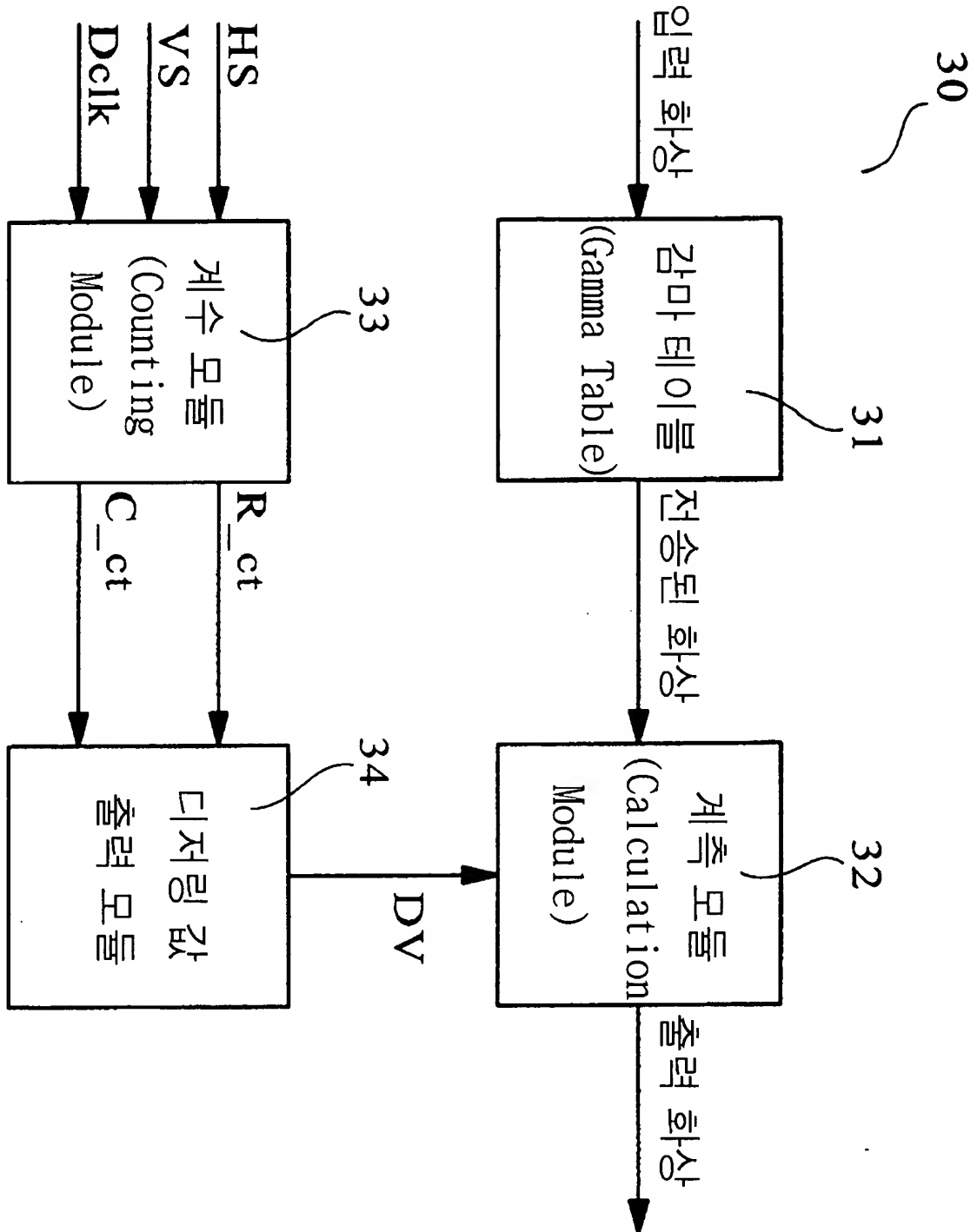
도면

도면 1

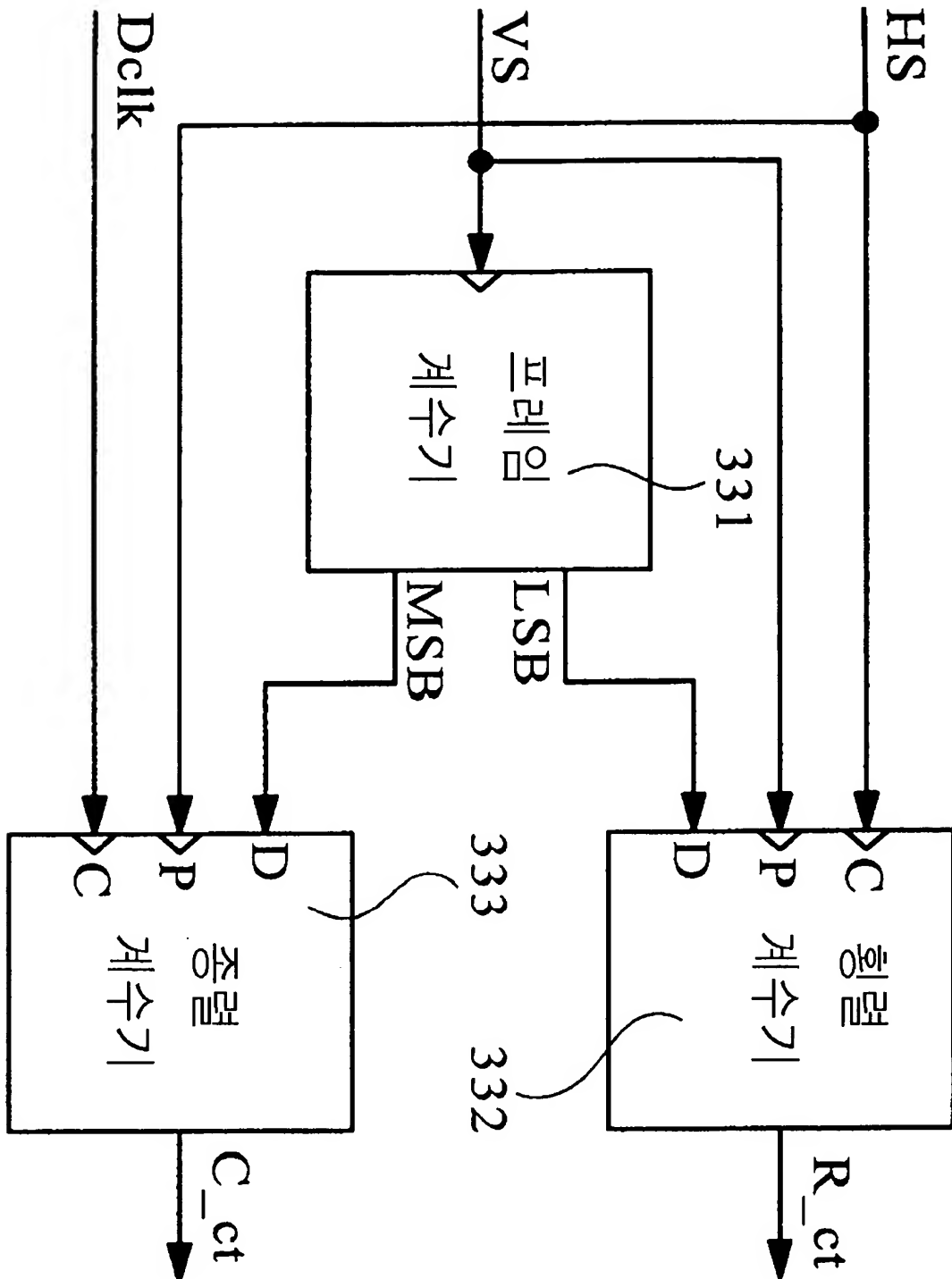




도면 2



도면 3



도면 4

